

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-264316

(43)Date of publication of application : 19.09.2003

(51)Int.Cl.

H01L 33/00

(21)Application number : 2002-065042

(71)Applicant : FUJI ELECTRIC CO LTD
NEC SAITAMA LTD

(22)Date of filing : 11.03.2002

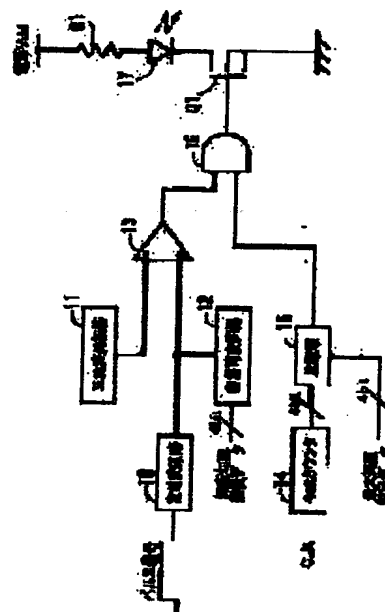
(72)Inventor : SANO ISAO
YABUSAKI JUN
USUI HISAYOSHI

(54) LED CONTROL CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To easily charge the luminance gradient of an LED and to make possible to set maximum luminance.

SOLUTION: An output current from a constant current circuit 10 is charged by a capacity-variable circuit 12 varied by luminance gradient select data depending on the capacity of the circuit to produce a voltage which is inputted to a comparator 13. A voltage of a triangular wave outputted from a triangular wave oscillator 11 is compared with a voltage produced by charging, and a signal of 'H' state is delivered to an AND circuit 16 if the voltage produced by charging is higher. A comparator 15 delivers the signal of 'H' state to the AND circuit 16 until the count of a 4 bit counter 14 matches maximum luminance set data. The AND circuit 16 produces the logical product of output signals from the comparators 13 and 15 and delivers it to an MOSFET Q1. The MOSFET Q1 flickers an LED 17 depending on an output signal from the AND circuit 16.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2003-264316
(P2003-264316A)

(43) 公開日 平成15年9月19日 (2003.9.19)

(51) Int.Cl.
H01L 33/00

識別記号

F I
H01L 33/00

ページ* (参考)
J 5 F 0 4 1

審査請求 未請求 請求項の数11 O L (全 13 頁)

(21) 出願番号 特願2002-65042(P2002-65042)

(22) 出願日 平成14年3月11日 (2002.3.11)

(71) 出願人 000005234
富士電機株式会社
神奈川県川崎市川崎区田辺新田1番1号
(71) 出願人 390010179
埼玉日本電気株式会社
埼玉県児玉郡神川町大字元原字豊原300番
18
(72) 発明者 佐野 功
神奈川県川崎市川崎区田辺新田1番1号
富士電機株式会社内
(74) 代理人 100082152
弁護士 服部 毅哉

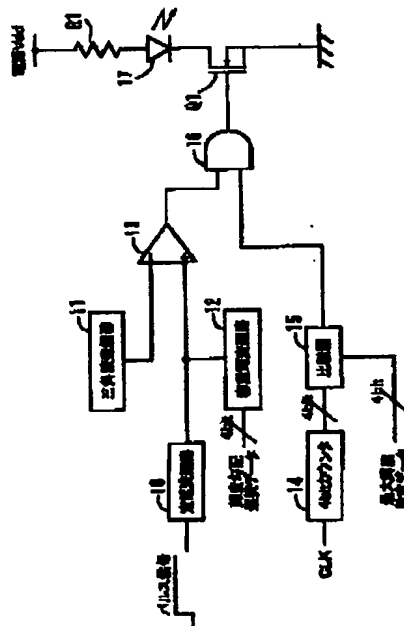
最終頁に続く

(54) 【発明の名称】 LED制御回路

(57) 【要約】

【課題】 LEDの輝度勾配の変更を容易にし、最大輝度の輝度設定を可能にする。

【解決手段】 定電流回路10から出力される電流は、輝度勾配選択データによって可変される容量可変回路12の容量によって充電され、充電によって生じる電圧が比較器13に入力される。比較器13は、三角波発振器11から出力される三角波の電圧と充電による電圧とを比較し、充電による電圧が大きいとき、'H'状態の信号をAND回路16に出力する。比較器15は、4ビットカウンタ14のカウント値が最大輝度設定データに一致するまで 'H' 状態の信号をAND回路16に出力する。AND回路16は、比較器13、15から出力される信号の論理積をとり、MOSFET Q1に出力する。MOSFET Q1は、AND回路16から出力される信号に応じてLED17を点滅させる。



【特許請求の範囲】

【請求項1】 LEDの点滅を制御するLED制御回路において、
選択データに応じて電圧の上昇率及び下降率を変化した出力電圧を出力する電圧出力部と、
三角波電圧を出力する三角波発振器と、
前記出力電圧が前記三角波電圧より大きいとき輝度勾配制御パルス信号を出力する電圧比較器と、
前記輝度勾配制御パルス信号によってLEDを駆動するスイッチング素子と、
を有することを特徴とするLED制御回路。

【請求項2】 前記電圧出力部は、
制御信号に応じて定電流を供給する定電流回路と、
前記選択データに応じて容量を変化し、前記定電流回路から出力される定電流を充電して前記電圧の上昇率及び下降率を変化する容量可変回路と、
を有することを特徴とする請求項1記載のLED制御回路。

【請求項3】 前記容量可変回路は、容量増倍回路を有し、前記容量増倍回路の増幅器の出力端子—正極端子間の抵抗値を前記選択データに応じて可変し、前記容量を可変することを特徴とする請求項2記載のLED制御回路。

【請求項4】 前記出力端子—正極端子間に複数の抵抗と前記選択データに応じてスイッチを開閉するアナログスイッチとが接続され、前記抵抗値は、前記スイッチの開閉によって前記複数の抵抗の組み合わせが変更されることによって可変されることを特徴とする請求項3記載のLED制御回路。

【請求項5】 設定データに応じたパルス幅を有する一定周期の最大輝度制御パルス信号を出力するパルス出力回路と、
前記輝度勾配制御パルス信号と前記最大輝度制御パルス信号との論理積演算をし、前記論理積演算の結果を前記スイッチング素子に出力する論理積回路と、
をさらに有することを特徴とする請求項1記載のLED制御回路。

【請求項6】 前記パルス出力回路は、
2進カウンタと、
前記2進カウンタのカウンタ値が前記設定データの値に達するまで所定の電圧を出力して前記最大輝度制御パルス信号を生成するカウンタ比較器と、
を有することを特徴とする請求項5記載のLED制御回路。

【請求項7】 LEDの点滅を制御するLED制御回路において、
2進カウンタと、
前記2進カウンタのカウンタ値の一巡が選択データに応じた回数行われたとき、カウンタ値をカウンタアップ及びカウンタダウンするカウンタ部と、

前記2進カウンタのカウンタ値と前記カウンタ部のカウンタ値とが一致するまで輝度勾配制御パルス信号を出力するカウンタ比較器と、

前記輝度勾配制御パルス信号に応じてLEDを駆動するスイッチング素子と、

を有することを特徴とするLED制御回路。

【請求項8】 前記カウンタ部は、
前記2進カウンタの最上位ビットをクロックとした基準クロック及び前記基準クロックを分周したクロックを前記選択データに応じて出力するクロックセレクト回路

と、
前記クロックセレクト回路から出力されるクロックに同期した前記カウンタアップ及び前記カウンタダウンを制御信号に応じて開始する2進アップダウンカウンタと、
を有することを特徴とする請求項7記載のLED制御装置。

【請求項9】 前記カウンタ比較器は、
前記2進カウンタのカウンタ値と前記カウンタ部のカウンタ値とが一致しているか否かを検出する比較回路と、
前記2進カウンタの全ビットが同じ値になったときリセット信号を出力するリセット回路と、
前記リセット信号を入力して所定の電圧を出力し、前記比較回路によって前記2進カウンタのカウンタ値と前記カウンタ部のカウンタ値とが一致していると検出されるまで前記所定の電圧を出力して前記輝度勾配制御パルス信号を生成するフリップフロップ回路と、
を有することを特徴とする請求項7記載のLED制御回路。

【請求項10】 設定データに応じたパルス幅を有する一定周期の最大輝度制御パルス信号を出力するパルス出力回路と、
前記輝度勾配制御パルス信号と前記最大輝度制御パルス信号との論理積演算をし、前記論理積演算の結果を前記スイッチング素子に出力する論理積回路と、
をさらに有することを特徴とする請求項7記載のLED制御回路。

【請求項11】 前記パルス出力回路は、
最大輝度制御2進カウンタと、
前記最大輝度制御2進カウンタのカウンタ値が前記設定データの値に達するまで所定の電圧を出力して前記最大輝度制御パルス信号を生成する最大輝度制御カウンタ比較器と、
を有することを特徴とする請求項10記載のLED制御回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はLEDを点滅させるLED制御回路に関し、特にLEDの輝度勾配を変更するLED制御回路に関する。

【0002】

【従来の技術】今日の携帯電話やビデオカメラなどの電子機器には、様々な情報をユーザに伝達する手段としてLED(Light-Emitting-Diode)を搭載しているものがある。例えば、携帯電話のキーをLEDで点滅させて、特定の状態(バッテリー切れなど)をユーザに伝達する。このようなLEDを搭載した電子機器には、品位を向上させるために、LEDの点滅の開始と終わりの輝度を徐々に明るくし、徐々に暗くして、あたかも蛍のように点滅させるものがある。

【0003】図10は、従来のLED制御回路の一例である。図に示すLED制御回路は、抵抗R12、R13、コンデンサC2、LED30、トランジスタTr1とから構成される。

【0004】抵抗R12は、信号が入力されるIN端子とnpn型のトランジスタTr1のベースとの間に接続される。コンデンサC2は、トランジスタTr1のベースとアースとの間に接続される。トランジスタTr1のコレクタには、LED30のカソードが接続され、LED30のアノードには、抵抗R13を介して電源Vccが接続される。

【0005】LED30の順電圧が2V~3.5V程度とすると、電源Vccの電圧は、約4V必要である。LED30への電流を制限する電流制限用の抵抗R13は、LED30の順電流によるが、約数mA~数十mAに制限するような抵抗値が選択される。

【0006】抵抗R12の抵抗値、コンデンサC2の容量値は、トランジスタTr1のベースに十分な電流が供給でき、抵抗R12とコンデンサC2の時定数によって、LED30が所望の輝度変化をするような値が選択される。

【0007】以下、従来のLED制御回路の動作について説明する。CPUの制御信号などによってIN端子に、点滅周期内で‘L’状態から‘H’状態、‘L’状態となる信号が入力されると、抵抗R12とコンデンサC2の時定数により、トランジスタTr1のベース電流が緩やかに変化する。これにより、LED30の輝度は、輝度勾配を持ち、緩やかに点滅する。ここで、‘L’状態は、0V、‘H’状態は、CPUの電源電圧であり、約2V~5Vである。

【0008】

【発明が解決しようとする課題】ところで、従来のLED制御回路では、点滅周期は、IN端子に入力される信号の周期を変換することにより容易に変更することができる。しかし、輝度勾配の変更は、抵抗R12、コンデンサC2を交換して、時定数を変更しなければならず、容易に変更することができないという問題点があった。

【0009】本発明はこのような点に鑑みてなされたものであり、輝度勾配の変更を容易にすることができるLED制御回路を提供することを目的とする。

【0010】

【課題を解決するための手段】本発明では上記問題を解決するために、LEDの点滅を制御するLED制御回路において、選択データに応じて電圧の上昇率及び下降率を変換した出力電圧を出力する電圧出力部と、三角波電圧を出力する三角波発振器と、前記出力電圧が前記三角波電圧より大きいとき輝度勾配制御パルス信号を出力する電圧比較器と、前記輝度勾配制御パルス信号によってLEDを駆動するスイッチング素子と、を有することを特徴とするLED制御回路が提供される。

10 【0011】このようなLED制御回路によれば、選択データに応じて出力電圧の上昇率及び下降率を変換し、出力電圧が三角波発振器から出力される三角波電圧より大きいとき輝度勾配制御パルス信号を出力するので、選択データを変更することによりLEDの輝度勾配を変更する。

20 【0012】また、本発明では、LEDの点滅を制御するLED制御回路において、2進カウンタと、前記2進カウンタのカウント値の一巡が選択データに応じた回数行われたとき、カウント値をカウントアップ及びカウントダウンするカウンタ部と、前記2進カウンタのカウント値と前記カウンタ部のカウント値とが一致するまで輝度勾配制御パルス信号を出力するカウント比較器と、前記輝度勾配制御パルス信号に応じてLEDを駆動するスイッチング素子と、を有することを特徴とするLED制御回路が提供される。

30 【0013】このようなLED制御回路によれば、2進カウンタのカウント値と、2進カウンタのカウント値の一巡が選択データに応じた回数行われたとき、カウント値をカウントアップ及びカウントダウンするカウンタ部のカウント値とが一致するまで輝度勾配制御パルス信号を出力するので、選択データを変更することによりLEDの輝度勾配を変更する。

【0014】

【発明の実施の形態】以下、本発明の実施の形態を図面を参照して詳細に説明する。図1は本発明の第1の実施の形態に係るLED制御回路の回路図である。

40 【0015】図に示すLED制御回路は、定電流回路10、三角波発振器11、容量可変回路12、比較器13、15、4ビットカウンタ14、AND回路16、LED17、MOSFET(Metal Oxide Semiconductor Field Effect Transistor)Q1、及び、抵抗R1から構成される。

【0016】定電流回路10は、パルス信号が入力され、入力されたパルス信号の立ち上がりで定電流を吐き出し、入力したパルス信号の立下りで定電流を吸い込む。定電流回路10は、定電流の吐き出し、吸い込みによって、容量可変回路12が内部に有するコンデンサ(後述詳細)の充放電を行う。

50 【0017】三角波発振器11は、比較器13の負極端子に三角波の電圧を出力する。容量可変回路12は、4

bitのデジタルデータである輝度勾配選択データが入力され、入力された輝度勾配選択データに応じて、容量を変化させる。図2は、容量可変回路の具体的な回路図の一例で、(a)は容量倍増回路図、(b)は容量可変回路の具体的な回路図である。

【0018】図2(a)に示す容量倍増回路は、オペアンプZ1と、オペアンプZ1の負極端子と出力端子との間に接続される抵抗Rcと、オペアンプZ1の正極端子と、出力端子との間に直列接続される抵抗Ra、Rbと、オペアンプZ1の正極端子とアースとの間に接続されるコンデンサCaとから構成される。図2(a)に示す容量倍増回路では、端子P0に生じる容量は、(抵抗Raの抵抗値/抵抗Rbの抵抗値)×コンデンサCaの容量値となる。

【0019】図2(b)に示す容量可変回路12は、オペアンプ12a、抵抗R2～R10、コンデンサC1、アナログスイッチ12b、12cとから構成される。抵抗R2は、オペアンプ12aの負極端子と出力端子の間に接続される。抵抗R3～R6の一端は、オペアンプ12aの出力端子に並列に接続され、他端は、アナログスイッチ12bに接続される。アナログスイッチ12bは、比較器13に接続される端子P1に接続される。抵抗R7～R10の一端は、オペアンプ12aの正極端子に接続されるアナログスイッチ12cに接続され、他端は、端子P1に接続される。抵抗R3～R6、及び、抵抗R7～R10は、異なる抵抗値となるように選択される。

【0020】コンデンサC1は、オペアンプ12aの正極端子とアースの間に接続される。アナログスイッチ12b、12cは、内部に各々スイッチを4つ有し、4bitのデジタルデータである輝度勾配選択データに応じて、そのスイッチを開閉させる。4bitのデジタルデータによって、アナログスイッチ12b、12cの各々の開閉パターンは、すべてのスイッチが開閉されるパターンを除き、15通り有することとなる。

【0021】ここで、アナログスイッチ12bは、輝度勾配選択データに応じて、抵抗R3の接続されているスイッチを閉じ、アナログスイッチ12cは、抵抗R7の接続されているスイッチを閉じたとする。ここで、抵抗R3の抵抗値が1kΩ、抵抗R7の抵抗値が1MΩ、コンデンサC1の容量が0.001μFであれば、端子P1に生じる容量は、(抵抗R3の抵抗値/抵抗R7の抵抗値)×コンデンサC1の容量値の関係より10μFとなる。

【0022】抵抗R3～R6、抵抗R7～R10は、異なる抵抗値の抵抗が接続されること、及び、4bitのデジタルデータである輝度勾配選択データによってアナログスイッチ12b、12cのスイッチが切替えられることにより、15パターンの容量値を得ることができ、輝度勾配選択データは、例えば、CPUなどから送

られてくる。

【0023】図1に示す比較器13は、負極端子に入力される電圧と正極端子に入力される電圧とを比較し、正極端子に入力される電圧が負極端子に入力される電圧より大きいとき、'H'状態のPWM(Pulse Width Modulation)出力信号を出力する。

【0024】4bitカウンタ14は、入力されるクロックCLKに同期して、2進4桁のカウントをする。4bitカウンタ14は、カウントしている値を、比較器15に出力する。4bitカウンタ14は、三角波発振器11が出力する三角波の周波数より十分高い周波数でカウントする。

【0025】比較器15は、4bitのデジタルデータである最大輝度設定データと、4bitカウンタ14がカウントしているカウント値が入力される。比較器15は、4bitカウンタ14のカウント値が、入力された最大輝度設定データの値と一致するまで、'H'状態のPWM出力信号を出力し、その後、'L'状態の信号を出力する。最大輝度設定データは、例えば、CPUなどから送られてくる。

【0026】AND回路16は、比較器13と比較器15から出力されるPWM出力信号の論理積をとり、その結果をMOSFETQ1に出力する。MOSFETQ1は、NチャネルMOSFETであり、AND回路16から出力される信号をゲートから入力して、ドレイン、ソース間をオン/オフさせる。

【0027】抵抗R1の一端は、電源Vddに接続され、他端は、LED17のアノードに接続される。LED17のカソードは、MOSFETQ1のドレインに接続される。MOSFETQ1のソースはアースに接続される。

【0028】LED17は、MOSFETQ1のドレイン、ソース間がオンすることによって電流が流れ、光を放出する。以下、第1の実施の形態に係るLED制御回路の動作について説明する。

【0029】まず、定電流回路10、三角波発振器11、容量可変回路12、及び、比較器13の動作について説明する。図3は、電圧波形を示す図で、(a)は、定電流回路に入力されるパルス信号の電圧波形、(b)は、コンパレータに入力される電圧波形、(c)は、コンパレータから出力される電圧波形を示す図である。

【0030】定電流回路10は、図3(a)に示すように、入力されるパルス信号が'L'状態から'H'状態に移移すると、定電流を出力する。定電流回路10から出力される電流は、容量可変回路12によって充電されるため、比較器13の正極端子に生じる電圧は、図3(b)の波形A1に示すように徐々に上昇する。

【0031】比較器13の負極端子には、図3(b)の波形A2に示すように三角波発振器11から三角波の電圧が入力される。比較器13は、負極端子に入力される

10

20

30

40

50

三角波の電圧と、正極端子に入力される電圧とを比較する。比較器13は、正極端子に入力される電圧が負極端子に入力される三角波の電圧より大きいとき、すなわち、波形A1の電圧が波形A2の電圧より大きいとき、図3(c)に示すような‘H’状態のパルス幅が徐々に長くなるPWM出力信号を出力する。

【0032】逆に、定電流回路10に入力されるパルス信号が‘H’状態から‘L’状態へ遷移した場合、定電流回路10は、容量可変回路12に充電された電荷を放電するために、電流を吸い込む。これによって、比較器13の正極端子に入力される電圧は、徐々に下降し、比較器13は、‘H’状態が徐々に短くなるPWM出力信号を出力する。

【0033】ここで、比較器15から出力される信号が常に‘H’状態であるとする。MOSFETQ1は、図3(c)に示すPWM出力信号によって駆動されるため、LED17の輝度は、定電流回路10に入力されるパルス信号の‘H’状態への立ち上がりから徐々に明るくなる。また、定電流回路10に入力されるパルス信号の‘L’状態への立下りから徐々に暗くなる。このように、比較器13からは、AND回路16を介して、MOSFETQ1をオン/オフさせ、LEDを徐々に明るく、又は、暗くしていくためのPWM出力信号が出力される。

【0034】次に、4bitカウンタ14、比較器15、及び、AND回路16の動作について説明する。4bitカウンタ14は、入力されるクロックCLKに同期して、2進4桁のカウンタをする。4bitカウンタ14のカウント値は、比較器15に入力される。

【0035】比較器15は、4bitのデジタルデータである、最大輝度設定データと、4bitカウンタ14がカウントしているカウント値が入力される。比較器15は、4bitカウンタ14のカウント値が、最大輝度設定データの値に一致するまで、‘H’状態の信号を出力し、その後、‘L’状態の信号を出力する。その後、4bitカウンタ14のカウント値が飽和して‘1111’となり、カウント値が‘0000’に戻ると、比較器15は、再び‘H’状態を出力する。最大輝度設定データは、4bitデータであるため、15段階の‘H’状態の幅を持つPWM出力信号が出力可能である。

【0036】AND回路16は、比較器13から出力されるLED17の輝度勾配を持たせるためのPWM出力信号と、比較器15から出力されるPWM出力信号の論理積をとる。図4は、AND回路から出力されるPWM出力信号を説明する図で、(a)は、最大輝度設定データが‘0001’のとき、(b)は、最大輝度設定データが‘0010’のとき、(c)は、最大輝度設定データが‘0011’のときの状態を示す。

【0037】最大輝度設定データ‘0001’は、比較器15から、15段階の‘H’状態の幅を持つPWM出

力信号のうち、最小幅の‘H’状態を持つPWM出力信号を出力させる。図4(a)に示すように、比較器13から出力されるPWM出力信号SA1と、比較器15から出力される、最小幅の‘H’状態を持つPWM出力信号SA2の論理積をとったPWM出力信号SA3が、AND回路16から出力される。

【0038】最大輝度設定データ‘0010’は、比較器15から、15段階の‘H’状態の幅を持つPWM出力信号のうち、2番目の最小幅の‘H’状態を持つPWM出力信号を出力させる。図4(b)に示すように、比較器13から出力されるPWM出力信号SA1と、比較器15から出力される2番目の最小幅の‘H’状態を持つPWM出力信号SB2の論理積をとったPWM出力信号SB3がAND回路16から出力される。

【0039】最大輝度設定データ‘0011’は、比較器15から、15段階の‘H’状態の幅を持つPWM出力信号のうち、3番目の最小幅の‘H’状態を持つPWM出力信号を出力させる。図4(c)に示すように、比較器13から出力されるPWM出力信号SC1と、比較器15から出力される3番目の最小幅の‘H’状態を持つPWM出力信号SC2の論理積をとったPWM出力信号SC3がAND回路16から出力される。

【0040】このように、比較器15から出力されるPWM出力信号の‘H’状態の幅を変換することによって、最大輝度を調整可能とし、さらに、比較器13から出力されるPWM出力信号と論理積をとることによって、輝度勾配の変更、最大輝度の調整が可能となる。

【0041】次に、LED17の輝度勾配可変と、最大輝度設定について説明する。まず、輝度勾配可変について説明する。LED17の輝度勾配を可変するには、容量可変回路12の容量を4bitの輝度勾配選択データで可変する。例えば、容量可変回路12とCPUのデータバスとが接続されており、プログラムで容量可変回路12の容量を可変可能とする。

【0042】輝度勾配選択データは、図2に示すアナログスイッチ12b、12cのスイッチを切り替え、容量可変回路12の容量を可変する。容量可変回路12の容量を可変することによって、図3(b)に示す波形A1の上昇率が変化し、図3(c)に示すPWM出力信号の‘H’状態の幅が変更される。これによって、LED17の輝度勾配を可変する。

【0043】図5は、輝度勾配と最大輝度の可変を説明する説明図で、(a)は、定電流回路に入力されるパルス信号を示す図、(b)は、輝度勾配の可変を示す図、(c)は、最大輝度の可変を示す図である。

【0044】すなわち、図5(a)に示す定電流回路10に入力されるパルス信号の‘H’状態への立ち上がりとともに、LED17の輝度は、徐々に増加していく。輝度勾配選択データによって、容量可変回路12の容量値を可変することによって、LED17の輝度勾配は、

図5(b)に示すように可変できる。

【0045】同様に、定電流回路10のパルス信号が‘H’状態から‘L’状態に移移した場合においても、輝度勾配選択データによって、容量可変回路12の容量値を可変することによって、LED17の輝度勾配を可変する。

【0046】次に、最大輝度設定について説明する。LED17の最大輝度を可変するには、最大輝度設定データを可変する。例えば、比較器15とCPUのデータバスとが接続されており、プログラムで最大輝度設定データを可変可能とする。比較器15は、4ビットカウンタ14のカウンタ値が最大輝度設定データの値に一致するまで、‘H’状態のPWM出力信号を出力する。

【0047】すなわち、図5(a)に示す定電流回路10に入力されるパルス信号の‘H’状態への立ち上がりとともに、LED17の輝度は、図5(c)に示すように徐々に増加していく。最大輝度設定データに応じて、LED17の輝度の最大値は、決まっており、最大輝度設定データを可変することによって、LED17の最大輝度を可変できる。

【0048】このように、輝度勾配選択データ、最大輝度設定データを可変することにより、LEDの輝度勾配、最大輝度を容易に変更することができる。なお、上記の説明において、輝度勾配選択データ、最大輝度設定データは、4ビットのデータとしたが、これに限るものではない。容量可変回路12の抵抗の数を増減、又は、4ビットカウンタ14の桁数を増減することにより、4ビット以外のデータによって制御してもよい。

【0049】また、定電流回路10、三角波発振器11、容量可変回路12、比較器13、15、4ビットカウンタ14、及び、AND回路16は、モノリシック半導体回路として、集積化してもよい。これによって、部品点数を低減することができる。

【0050】さらに、上記説明では、容量可変回路12の容量を可変することによって比較器13に入力される電圧の勾配に変化を与えているが、容量を一定にして、定電流回路10の定電流値を選択データなどで切替えるようにして、LED17の輝度勾配を可変するようにしてもよい。

【0051】次に、本発明の第2の実施の形態について説明する。図6は本発明の第2の実施の形態に係るLED制御回路の回路図である。図に示すLED制御回路は、6ビットカウンタ20、クロックセレクト回路21、6ビットアップダウンカウンタ22、比較器23、25、4ビットカウンタ24、AND回路26、LED27、MOSFETQ2、及び、抵抗R11とから構成される。

【0052】6ビットカウンタ20は、入力されるクロックCLKAに同期して、2進6桁(図6に示すCLK6、CLK5、…、CLK1は、2進6桁の6桁から1

桁に対応する。)のカウンタをする。6ビットカウンタ20は、カウンタしている値を、比較器23に出力する。また、6ビットカウンタ20は、6桁目(CLK6)をクロックセレクト回路21に出力する。

【0053】クロックセレクト回路21は、4ビットの輝度勾配選択データと、6ビットカウンタ20から出力される2進6桁のカウンタ値の6桁目が入力される。クロックセレクト回路21は、入力された輝度勾配選択データの値に応じて、6ビットカウンタ20から出力される2進6桁のカウンタ値の6桁目を基準クロックとして分周し、セレクトクロックを出力する。

【0054】クロックセレクト回路21は、輝度勾配選択データが‘0000’であれば、2進6桁のカウンタ値の6桁目である基準クロックをセレクトクロックとして出力する。輝度勾配選択データが‘0001’であれば、基準クロックを2分周したクロックをセレクトクロックとして出力する。同様に‘1111’まで、基準クロックを16分周したクロックをセレクトクロックとして出力する。図7は、クロックセレクト回路から出力されるセレクトクロック(基準クロックと基準クロックを2、3、16分周したセレクトクロック)を示す。クロックセレクト回路21は、輝度勾配選択データに応じて、図7に示すような基準クロックを分周したセレクトクロックを出力する。

【0055】ここで、基準クロックの1周期は、6ビットカウンタ20が0から63までカウントする周期と同じである。基準クロックは、6ビットカウンタ20の6桁目が‘0’から‘1’に変化し、さらに、‘0’になって、1周期となる。

【0056】6ビットアップダウンカウンタ22は、パルス信号とクロックセレクト回路21が出力されるセレクトクロックを入力する。6ビットアップダウンカウンタ22は、入力されたパルス信号の立ち上がりで、セレクトクロックに同期して2進6桁(図6に示すCT6、CT5、…、CT1は、2進6桁の6桁から1桁に対応する。)のカウンタアップを開始し、入力したパルス信号の立下りで、セレクトクロックに同期して2進6桁のカウンタダウンを開始する。6ビットアップダウンカウンタ22は、カウンタ値を比較器23に出力する。

【0057】比較器23は、6ビットカウンタ20の2進6桁のカウンタ値と、6ビットアップダウンカウンタ22のカウンタ値を入力する。比較器23は、6ビットカウンタ20のカウンタ値と、6ビットアップダウンカウンタ22のカウンタ値が一致するまで‘H’状態のPWM出力信号を出力する。図8は、比較器23の具体的な回路図である。比較器23は、Ex-OR回路Z2～Z7、NOR回路Z8、AND回路Z9、RS-FF回路Z10を有する。

【0058】Ex-OR回路Z2～Z7の端子a1～a6には、6ビットカウンタ20の各桁(CLK1、CL

K2, ..., CLK6)が入力される。Ex-OR回路Z2~Z7の端子b1~b6には、6ビットアップダウンカウンタ22の各桁(CT1, CT2, ..., CT6)が入力される。これにより、6ビットカウンタ20のカウンタ値と、6ビットアップダウンカウンタ22のカウンタ値が一致するまで、Ex-OR回路Z2~Z7のどれかから'H'状態が出力され、NOR回路Z8は、'L'状態を出力する。カウンタ値が一致すると、Ex-OR回路Z2~Z7のすべてから'L'状態が出力され、NOR回路Z8は、'H'状態を出力する。

【0059】RS-FF回路Z10は、NOR回路Z8の出力をセット信号として入力する。NOR回路Z8は、6ビットカウンタ20のカウンタ値と、6ビットアップダウンカウンタ22のカウンタ値が一致するまで、'L'状態を出力し、RS-FF回路Z10は、'H'状態のPWM出力信号を出力する。カウンタ値が一致すると、NOR回路Z8は、'H'状態を出力し、RS-FF回路Z10は、'L'状態のPWM出力信号を出力する。

【0060】6ビットカウンタ20のカウンタ値が'63'('111111')となると、AND回路Z9は、'H'状態を出力し、RS-FF回路Z10のPWM出力信号は、'H'状態にリセットされる。

【0061】すなわち、比較器23は、6ビットカウンタ20のカウンタ値と6ビットアップダウンカウンタ22のカウンタ値とが一致するまで、'H'状態のPWM出力信号を出力し、その後'L'状態のPWM出力信号を出力する。比較器23は、6ビットカウンタ20のカウンタ値が'111111'となると再び'H'状態を出力する。

【0062】4ビットカウンタ24は、入力されるクロックCLKBに同期して、2進4桁のカウンタを開始し、カウンタ値を比較器25に出力する。比較器25、AND回路Z6、MOSFETQ2、抵抗R11、LED27は、第1の実施の形態に係る比較器15、AND回路16、MOSFETQ1、抵抗R1、LED17と同様であり説明を省略する。

【0063】以下、第2の実施の形態に係るLED制御回路の動作について説明する。まず、6ビットカウンタ20、クロックセレクト回路21、6ビットアップダウンカウンタ22、比較器23の動作について説明する。

【0064】6ビットカウンタ20は、入力されるクロックCLKAに同期した2進6桁のカウンタ値を比較器23に出力する。この出力と同時に、2進6桁の6桁目が基準クロックとして、クロックセレクト回路21に入力される。

【0065】クロックセレクト回路21は、輝度勾配選択データに応じて、基準クロック、及び、基準クロックを分周したセレクトクロックを6ビットアップダウン

カウンタ22に出力する。

【0066】6ビットアップダウンカウンタ22は、入力されるパルス信号の立ち上がりと同時に、セレクトクロックに同期して2進6桁のカウンタを開始し、比較器23に出力する。

【0067】比較器23は、6ビットカウンタ20のカウンタ値と6ビットアップダウンカウンタ22のカウンタ値とが一致するまで、'H'状態のPWM出力信号を出力する。図9は、比較器から出力されるPWM出力信号波形を示した図で、(a)は、基準クロックがセレクトクロックとして6ビットアップダウンカウンタに出力された場合、(b)は、基準クロックを2分周したセレクトクロックが6ビットアップダウンカウンタに出力された場合、(c)は、基準クロックを3分周したセレクトクロックが6ビットアップダウンカウンタに出力された場合におけるPWM出力信号波形を示す。

【0068】クロックセレクト回路21で基準クロックがセレクトクロックとして選択、出力された場合、図9(a)に示すように、6ビットアップダウンカウンタ22は、基準クロックに同期してカウンタ値をカウントアップしていく。すなわち、6ビットアップダウンカウンタ22は、6ビットカウンタ20がカウンタ値を0~63カウントするごとに、カウンタ値を'1'カウントアップする。

【0069】ここで、6ビットアップダウンカウンタ22のカウンタ値を'1'('000001')とする。RS-FF回路Z10は、6ビットカウンタ20のカウンタ値が'1'('000001')になるまで、

'H'状態のPWM出力信号を出力する。6ビットカウンタ20のカウンタ値が'1'('000001')を超えると'L'状態のPWM出力信号を出力する。さらに、6ビットカウンタ20がカウンタを続け、カウンタ値が'63'('111111')になると、AND回路Z9からリセット信号が出力され、RS-FF回路Z10は、'H'状態のPWM出力信号を出力する。

【0070】次いで、6ビットアップダウンカウンタ22の値が'2'('000010')にカウントアップされ、RS-FF回路Z10は、6ビットカウンタ20のカウンタ値が'2'('000010')になるまで、'H'状態のPWM出力信号を出力する。

【0071】このように、6ビットカウンタ20が、カウンタ値を'0'~'63'カウントするたびに、6ビットアップダウンカウンタ22のカウンタ値に比例したパルス幅T, 2T, 3T, 4T, ...のPWM出力信号が出力される。

【0072】クロックセレクト回路21で基準クロックを2分周したクロックがセレクトクロックとして選択、出力された場合、図9(b)に示すように、6ビットアップダウンカウンタ22は、基準クロックの2分周されたクロックに同期してカウンタ値をカウントアップ

10

20

30

40

50

していく。すなわち、6ビットアップダウンカウンタ22は、6ビットカウンタ20が0～63のカウンタを2回繰り返すごとに、カウンタ値を‘1’カウントアップする。

【0073】ここで、6ビットアップダウンカウンタ22の値を‘1’（‘000001’）とする。RS-FF回路Z10は、6ビットカウンタ20のカウンタ値が‘1’（‘000001’）になるまで、‘H’状態のPWM出力信号を出力する。6ビットカウンタ20のカウンタ値が‘1’（‘000001’）を超えると
10 ‘L’状態のPWM出力信号を出力する。さらに、6ビットカウンタ20がカウントを続け、カウンタ値が‘63’（‘111111’）になると、AND回路Z9からリセット信号が出力され、RS-FF回路Z10は、‘H’状態のPWM出力信号を出力する。

【0074】6ビットアップダウンカウンタ22の値は、‘1’（‘000001’）のままで、RS-FF回路Z10は、6ビットカウンタ20のカウンタ値が‘1’（‘000001’）になるまで、‘H’状態のPWM出力信号を出力する。その後、RS-FF回路Z10は、‘L’状態のPWM出力信号を出力する。RS-FF回路Z10は、6ビットカウンタ20のカウンタ値が‘63’（‘111111’）になることによってリセットされ、‘H’状態のPWM出力信号を出力する。

【0075】次いで、6ビットアップダウンカウンタ22の値が‘2’（‘000010’）にカウントアップされ、RS-FF回路Z10は、6ビットカウンタ20のカウンタ値が‘2’（‘000010’）になるまで、‘H’状態のPWM出力信号を出力する。

【0076】このように、6ビットカウンタ20が、‘0’～‘63’を2回繰り返すごとに、6ビットアップダウンカウンタ22は、カウンタ値を‘1’カウントアップする。そして、6ビットカウンタ20が、カウンタ値を‘0’～‘63’カウントするたびに、6ビットアップダウンカウンタ22のカウンタ値に比例したパルス幅T、T、2T、2T、…のPWM出力信号が出力される。

【0077】クロックセレクト回路21で基準クロックを3分周したクロックがセレクトクロックとして選
40 択、出力される場合、図2(c)に示すように、6ビットアップダウンカウンタ22は、基準クロックの3分周されたクロックに同期してカウンタ値をカウントアップしていく。すなわち、6ビットアップダウンカウンタ22は、6ビットカウンタ20が‘0’～‘63’のカウンタを3回繰り返すごとに、カウンタ値を‘1’カウントアップする。

【0078】ここで、6ビットアップダウンカウンタ22の値が‘1’（‘000001’）とする。RS-FF回路Z10は、6ビットカウンタ20のカウンタ値が

‘1’（‘000001’）になるまで、‘H’状態のPWM出力信号を出力する。6ビットカウンタ20のカウンタ値が‘1’（‘000001’）を超えると
‘L’状態のPWM出力信号を出力する。さらに、6ビットカウンタ20がカウントを続け、カウンタ値が‘63’（‘111111’）になると、AND回路Z9からリセット信号が出力され、RS-FF回路Z10は、‘H’状態のPWM出力信号を出力する。

【0079】6ビットアップダウンカウンタ22の値は、‘1’（‘000001’）のままで、RS-FF回路Z10は、6ビットカウンタ20のカウンタ値が‘1’（‘000001’）になるまで、‘H’状態のPWM出力信号を出力し、その後、RS-FF回路Z10は、‘L’状態のPWM出力信号を出力する。RS-FF回路Z10は、6ビットカウンタ20のカウンタ値が‘63’（‘111111’）になることによってリセットされ、‘H’状態のPWM出力信号を出力する。

【0080】上記の動作をさらに6ビットカウンタ20が‘0’～‘63’カウントするまで繰り返す。次いで、6ビットアップダウンカウンタ22の値が‘2’（‘000010’）にカウントアップされ、RS-FF回路Z10は、6ビットカウンタ20のカウンタ値が‘2’（‘000010’）になるまで、‘H’状態のPWM出力信号を出力する。

【0081】このように、6ビットカウンタ20が、‘0’～‘63’を3回繰り返すごとに、6ビットアップダウンカウンタ22は、カウンタ値を‘1’カウントアップする。そして、6ビットカウンタ20が、カウンタ値を‘0’～‘63’カウントするたびに、6ビットアップダウンカウンタ22のカウンタ値に比例したパルス幅T、T、2T、…のPWM出力信号が出力される。

【0082】同様に、基準クロックの分周を大きくしていくと、同じパルス幅を持つPWM出力信号が分周に比例した数だけ繰り返し出力される。6ビットアップダウンカウンタに入力されるパルス信号が‘H’状態から‘L’状態に遷移すると、6ビットアップダウンカウンタは、カウンタ値をカウントダウンしていく。比較器23は、6ビットアップダウンカウンタ22のカウンタダウンされていくカウンタ値に比例したパルス幅のPWM出力信号を出力する。すなわち、徐々にパルス幅の短くなるPWM出力信号が出力され、LED27の輝度を徐々に落とす。

【0083】4ビットカウンタ24、比較器25、及び、AND回路26の動作については、第1の実施の形態で述べた4ビットカウンタ14、比較器15、及び、AND回路16の動作と同じである。比較器25は、最大輝度設定データに比例した‘H’状態のPWM出力信号を出力する。AND回路26は、比較器23から出力されるPWM出力信号と比較器23から出力されるPW

M出力信号の論理積をとり、MOSFETQ2に出力する。MOSFETQ2は、PWM出力信号に応じて、ドレイン、ソース間をオン／オフさせて、LED27を点滅させる。

【0084】このように、輝度勾配選択データ、最大輝度設定データを可変することにより、LEDの輝度勾配、最大輝度を容易に変更することができる。また、デジタルデータによって、すべて制御されるので、コンデンサなどの部品の劣化などによる点滅品位の低下を防止することができる。

【0085】また、PWM出力信号の‘H’状態が出力される間隔を制御するのではなく、一定の周期でPWM出力信号の‘H’状態を出力し、その幅を可変するようにしたので、LED27のちらつきを防止することができる。

【0086】なお、上記の説明において、輝度勾配選択データ、最大輝度設定データは、4bitのデータとしたが、これに限るものではない。また、6bitカウンタ20、6bitアップダウンカウンタ22も、6bitのカウントに限るものではない。

【0087】また、6bitカウンタ20、クロックセレクト回路21、6bitアップダウンカウンタ22、比較器23、25、4bitカウンタ24、及び、AND回路26は、モノリシック半導体回路として、集積化してもよい。これによって、部品点数を低減することができる。

【0088】

【発明の効果】以上説明したように、本発明では、選択データに応じて出力電圧の上昇率及び下降率を可変し、出力電圧が三角波発振器から出力される三角波電圧より大きいとき輝度勾配制御パルス信号を出力するようにしたので、選択データを変更することによりLEDの輝度勾配を変更でき、容易にLEDの輝度勾配の変更をすることができる。

【0089】また、本発明では、2進カウンタのカウント値と、2進カウンタのカウント値の一巡が選択データに応じた回数行われたとき、カウント値をカウントアップ及びカウントダウンするカウンタ部のカウント値とが一致するまで輝度勾配制御パルス信号を出力するようにしたので、選択データを変更することによりLEDの輝度勾配を変更でき、容易にLEDの輝度勾配の変更をすることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係るLED制御回路の回路図である。

【図2】容量可変回路の具体的な回路図で、(a)は容量倍増回路図、(b)は容量可変回路の具体的な回路図である。

【図3】電圧波形を示す図で、(a)は定電流回路に入力されるパルス信号の電圧波形、(b)はコンパレータに入力される電圧波形、(c)はコンパレータから出力される電圧波形を示す図である。

【図4】AND回路から出力されるPWM出力信号を説明する図で、(a)は最大輝度設定データが‘0001’のとき、(b)は最大輝度設定データが‘0010’のとき、(c)は最大輝度設定データが‘0011’のときの状態を示す図である。

【図5】輝度勾配と最大輝度の可変を説明する説明図で、(a)は定電流回路に入力されるパルス信号を示す図、(b)は輝度勾配の可変を示す図、(c)は最大輝度の可変を示す図である。

【図6】本発明の第2の実施の形態に係るLED制御回路の回路図である。

【図7】クロックセレクト回路から出力されるセレクトクロック(基準クロックと基準クロックを2、3、16分周したセレクトクロック)を示す図である。

【図8】比較器23の具体的な回路図である。

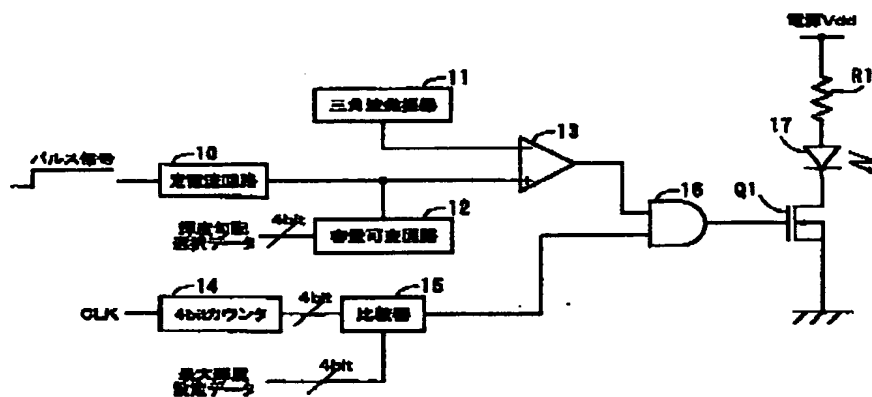
【図9】比較器から出力されるPWM出力信号波形を示した図で、(a)は基準クロックがセレクトクロックとして6bitアップダウンカウンタに出力された場合、(b)は基準クロックを2分周したセレクトクロックが6bitアップダウンカウンタ出力された場合、(c)は基準クロックを3分周したセレクトクロックが6bitアップダウンカウンタ出力された場合におけるPWM出力信号波形を示す図である。

【図10】従来のLED制御回路の一例である。

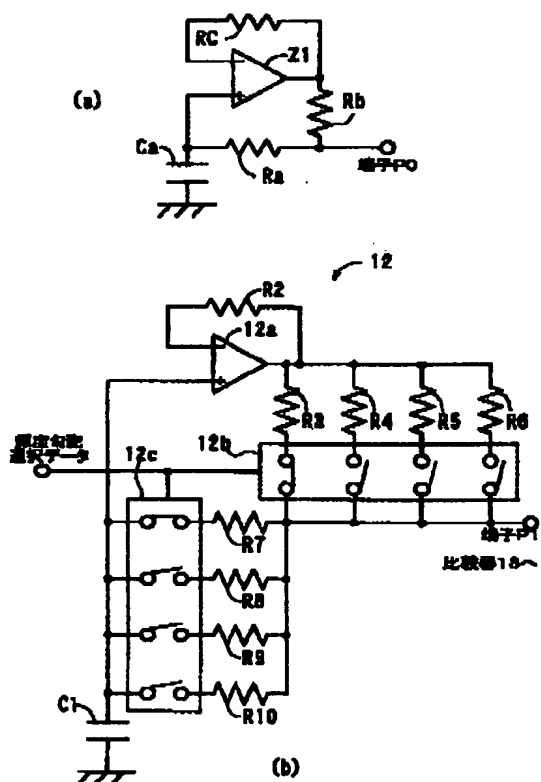
【符号の説明】

- 10 定電流回路
- 11 三角波発振器
- 12 容量可変回路
- 12a オペアンプ
- 12b, 12c アナログスイッチ
- 13, 15 比較器
- 14, 24 4bitカウンタ
- 16, 26, 29 AND回路
- 17, 27 LED
- 20 6bitカウンタ
- 21 クロックセレクト回路
- 22 6bitアップダウンカウンタ
- 23, 25 比較器
- Q1, Q2 MOSFET
- R1~R11 抵抗
- C1 コンデンサ
- Z2~Z7 Ex-OR回路
- Z8 NOR回路
- Z10 RS-FF回路

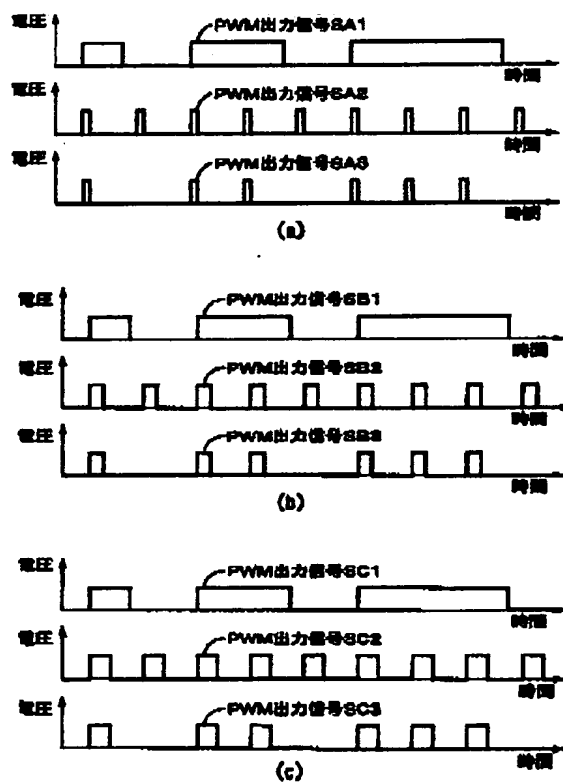
【図1】



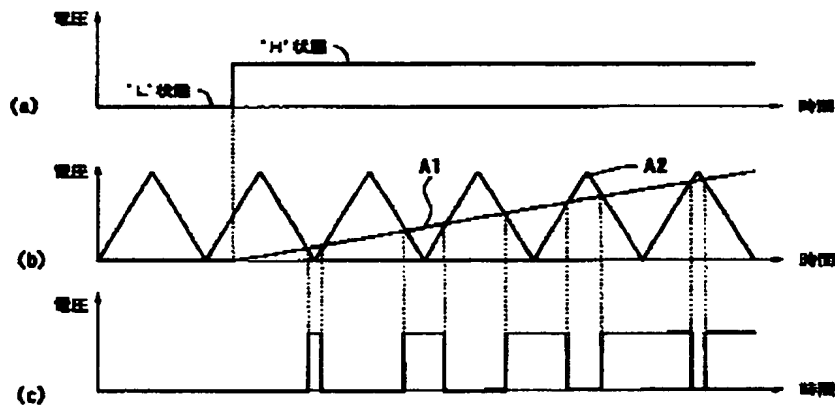
【図2】



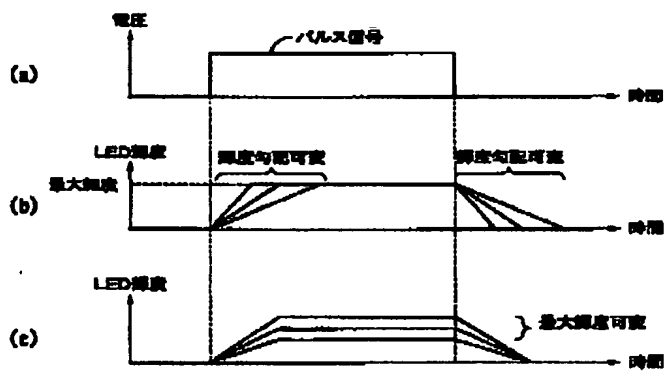
【図4】



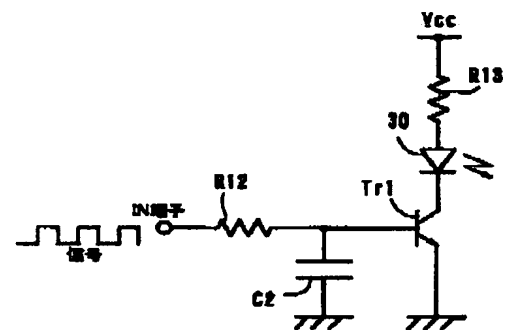
【図3】



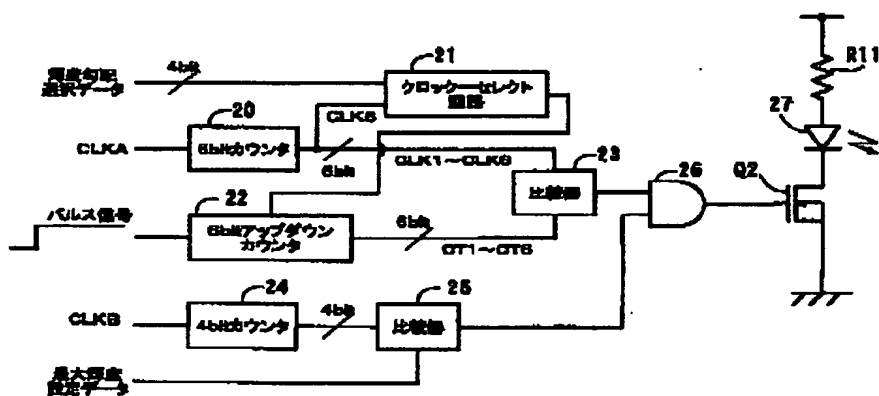
【図5】



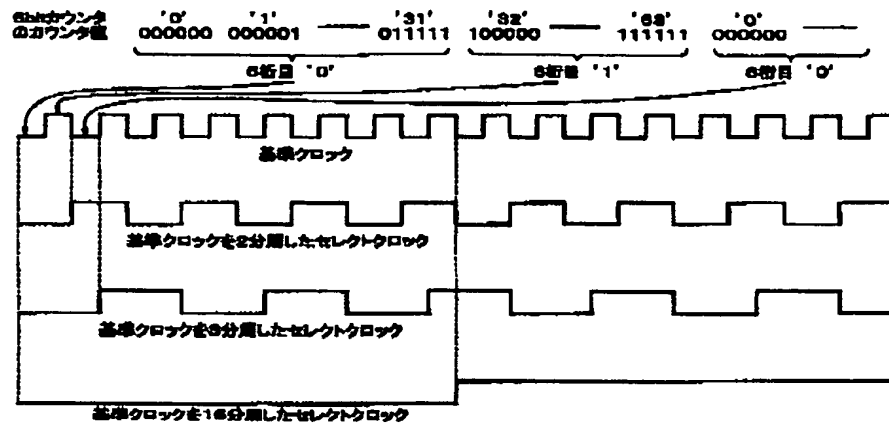
【図10】



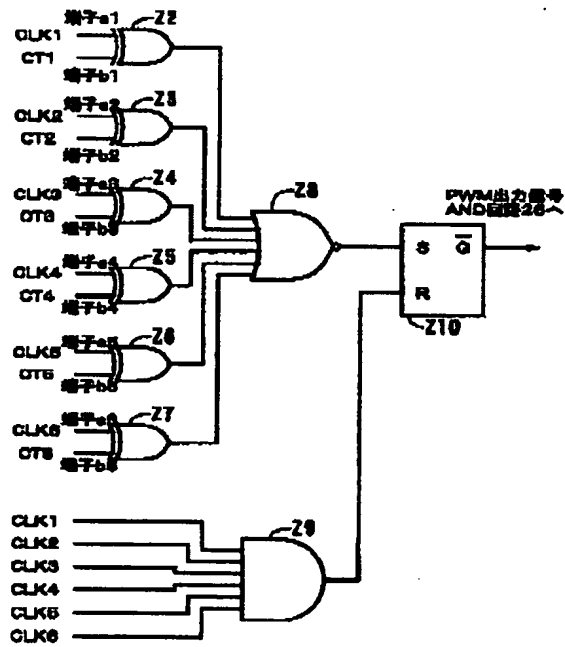
【図6】



【図7】



【図8】



【図9】



フロントページの続き

(72)発明者 荻崎 純
神奈川県川崎市川崎区田辺新田1番1号
富士電機株式会社内

(72)発明者 白井 久芳
埼玉県児玉郡神川町大字元原字豊原300番
18 埼玉日本電気株式会社内
Fターム(参考) 5F041 BB13 BB26